

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
12. August 2004 (12.08.2004)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2004/068608 A2**

(51) Internationale Patentklassifikation?: **H01L 51/00** (81) Bestimmungsstaaten (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(21) Internationales Aktenzeichen: PCT/DE2003/004036

(22) Internationales Anmeldedatum:  
8. Dezember 2003 (08.12.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch (84) Bestimmungsstaaten (*regional*): ARIPO Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(30) Angaben zur Priorität:  
103 01 086.6 14. Januar 2003 (14.01.2003) DE

(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): **SIEMENS AKTIENGESELLSCHAFT [DE/DE]**; Wittelsbacherplatz 2, 80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (*nur für US*): **FIX, Walter [DE/DE]**; Rötenäckerstr. 7, 90427 Nürnberg (DE). **ULLMANN, Andreas [DE/DE]**; Kronstädter Str. 16a, 90765 Fürth (DE).

(74) Anwalt: **ZINSINGER, Norbert**; Patentanwälte Louis, Pöhlau, Lohrentz, P.O. Box 30 55, 90014 Nürnberg (DE).

Veröffentlicht:

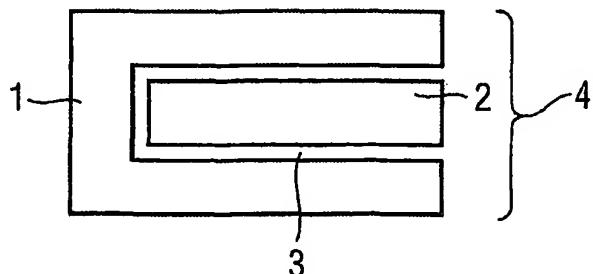
— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: ORGANIC FIELD EFFECT TRANSISTOR AND INTEGRATED CIRCUIT

(54) Bezeichnung: ORGANISCHER FELDEFFEKT TRANSISTOR, INTEGRIERTER SCHALTKEIS

**WO 2004/068608 A2**



Schaltungs-Layouts.

(57) Abstract: The invention relates to an organic field effect transistor (OFET) and/or an organic-based integrated circuit with a high operating frequency. Compact, high-speed circuit layouts are obtained by positioning the two ends of the current channel in close proximity.

(57) Zusammenfassung: Die Erfindung betrifft einen organischen Feldeffekt Transistor (OFET) und/oder einen integrierten Schaltkreis auf organischer Basis mit hoher Schaltfrequenz. Durch die Zusammenlegung der beiden Enden des Stromkanals ergeben sich kompakte und schnelle

**Beschreibung****Organischer Feldeffekt Transistor, integrierter Schaltkreis**

5 Die Erfindung betrifft einen organischen Feldeffekt Transistor (OFET) und/oder einen integrierten Schaltkreis auf organischer Basis mit hoher Schaltfrequenz.

Bekannt sind integrierte Schaltungen auf organischer Basis  
10 mit beispielsweise einem Ringoszillatator Layout, wobei das Layout aber keineswegs in Hinsicht auf die Schaltfrequenz organischer Schaltungen hin optimiert ist (W. FIX et al. Appl. Phys. Lett., 81, 1735 (2002)).

15 Nachteilig an dem bekannten Layout für organische Elektronik ist, dass keine organischen Leiterbahnen vorgesehen sind.

Die Schaltungslayouts aus der Siliziumelektronik können nicht einfach übernommen werden, da durch die speziellen elektrischen Eigenschaften der organischen Materialien angepasste  
20 Layouts nötig sind. So spielt der Leiterbahnwiderstand bei herkömmlichen integrierten Schaltungen praktisch keine Rolle, da Metalle verwendet werden, die im Vergleich zu organischen Leitern einen vernachlässigbar kleinen Widerstand haben. Verwendet man organische Leiterbahnen, spielt die Breite und  
25 Länge dieser Leiterbahnen sowie die Anordnung der einzelnen Bauelemente eine wichtige Rolle.

In dem Bemühen, eine auf organischer Elektronik basierende  
30 digitale Schaltung zu schaffen, stellt sich die Aufgabe, die Grundbausteine aller digitalen Schaltungen wie Transistor, Inverter und NAND- bzw. NOR-Gatter neu zu entwerfen und ein geeignetes Layout dafür zu schaffen.

35 Gegenstand der Erfindung ist daher ein organischer Feldeffekttransistor, zumindest eine erste Elektrodenschicht mit Source- und Drain-Elektroden, eine halbleitende Schicht, eine

Isolatorschicht und eine zweite Elektrodenschicht umfassend, bei dem in der ersten Elektrodenschicht eine der Elektroden, Source oder Drain die jeweils andere bis auf eine Seite oder Stelle, die Anschlussseite oder -stelle dieser Elektrode,

5 2-dimensional umschliesst, so dass ein Stromkanal ausbildbar ist, der an einer Seite oder Stelle einer Elektrode der ersten Elektrodenschicht beginnt und endet.

Unter Layout wird hier die Form und Anordnung der Elektroden, 10 der Leiterbahnkreuzungspunkte und Durchkontakte (=vertikale Verbindung von Leiterbahnen, die sich in verschiedenen Ebenen befinden), verstanden. Durch das Layout werden Serienwiderstände und parasitäre Kapazitäten bestimmt, die wesentlichen Einfluss auf die Schaltgeschwindigkeit und auch auf die Funktionsfähigkeit der integrierten Schaltung haben.

Nach einer Ausführungsform der Erfindung begrenzt die Source-Elektrode die Drain-Elektrode jedes verwendeten organischen Feldeffekt-Transistors (OFET) an drei Seiten, die jeweils umschlossene Elektrode, die Drain-Elektrode (Drain und Source kann natürlich auch vertauscht sein) ist dann nur auf einer Seite offen und hat nur an einer Seite einen Anschluss, das heißt der Stromkanal, der sich nach Anlegen der Gatespannung bildet, beginnt und endet an der gleichen Seite der Elektrode, der Anschlussseite, und ist z.B. u-förmig oder mäanderförmig.

Nach einer weiteren Ausführungsform, die mit der oben beschriebenen Ausführungsform vorzugsweise kombiniert wird, 30 sind die OFETs im NAND oder NOR-Gatter so angeordnet, dass sich jeweils die Anschlussseiten gegenüberliegen. Im NAND- und/oder im NOR-Gatter sind dazu je 2 oder mehr OFETs parallel (zwei oder mehr u-förmige Kanäle nebeneinander im NOR-Gatter) oder ineinander (zwei oder mehr u-förmige Kanäle ineinander im NAND-Gatter) verschachtelt. Dabei befinden sich die Verbindungsleitungen und/oder die Ein- und Ausgänge jeweils vorzugsweise im Bereich zwischen den Anschlussseiten.

Nach einer weiteren Ausführungsform überdeckt die Gate-Elektrode neben dem ganzen Kanal zusätzlich einen kleinen Teil der Source oder Drain Elektrode. Dabei ist der Stromkanal ganz überdeckt und zusätzlich zumindest noch ein Teil einer oder beider ersten Elektroden, wobei dieser zusätzlich überdeckte Teil in der Breite im Bereich von 0 bis 20 $\mu$ m und in der Länge im Bereich der Länge des Stromkanals liegt. Die Breite der Überdeckung hängt von der Justiergenauigkeit der Herstellungstechnologie ab und liegt im Bereich von wenigen (0 bis 8)  $\mu$ m bis zu etwa 20  $\mu$ m, vorzugsweise 1 bis 5  $\mu$ m.

Nach einer Ausführungsform sind Löcher oder Unterbrechungen in der Halbleiterschicht, die Leckströme zwischen den OFETs verringern, vorgesehen. Diese Löcher befinden sich vorzugsweise zwischen den Anschlussseiten. Diese nachträglich erzeugten Löcher oder Unterbrechungen dienen dazu, Leckströme zu verringern, die durch die unabsichtliche Hintergrunddotierung oder Verunreinigung der typischerweise unstrukturiert und den kompletten Chip abdeckenden Halbleiterschicht erzeugt werden.

Wieder eine andere Ausführungsform sieht vor, dass anstelle einer elektrischen Verbindung, die teilweise zwischen der Gate-Elektrode und der Drain-Elektrode eines load-OFETs nötig ist, ein Durchkontakt eingesetzt wird, der zusätzlich an den Ausgang des Inverters angeschlossen ist. Dadurch kann zumindest ein Durchkontakt eingespart werden. Typischerweise benötigt man einen Durchkontakt für die Verbindung Gate - Drain vom load-FET und einen weiteren am Inverterausgang für die Verbindung mit dem folgenden Inverter/Logikgatter; diese beiden Durchkontakte können das geeignete Layout zusammengelegt werden)

35 Nach einer weiteren Ausführungsform ist für den Fall, dass für die Schaltung eine elektrische Verbindung zwischen der Gate-Elektrode und der Source-Elektrode eines drive-OFETs nötig

tig ist, der Durchkontakt vorzugsweise so geformt, dass er bis zu einer oder bis zu beiden Seiten des OFETs reicht. Durch haben mehrere hintereinandergeschaltete Inverter, NAND- oder NOR-Gatter einen gemeinsamen Durchkontakt.

5

Durch das hier beschriebene Layout ergibt sich eine Reihe von Vorteilen:

10 Schnellere integrierte Schaltungen: Durch die optimale Ausnutzung der Fläche für die organischen Elektroden und durch die sehr kurzen Verbindungsleitungen ergeben sich niedrige Serienwiderstände und damit höhere Schaltgeschwindigkeiten. Durch die Kürze der Verbindungsleitungen, die Verringerung der Zahl der nötigen Leiterbahnkreuzungen und die Minimierung 15 der Gate-Elektrode wird die parasitäre Kapazität deutlich verkleinert, was ebenfalls die Schaltgeschwindigkeit bedeutend erhöht.

20 Stabilere Schaltungen und geringerer Leistungsverbrauch durch Minimierung der Leckströme: Die Leckströme werden zum einen durch die Anordnung der Elektroden minimiert, zum anderen durch die Löcher in der Halbleiterschicht. Durch die Anordnung der Elektroden werden Leckströme zwischen verschiedenen Invertern bzw. NAND- oder NOR-Gattern gänzlich unterdrückt, 25 da jeweils benachbarte Elektroden auf dem gleichen elektrischen Potential (Versorgungsspannung oder Erdung) liegen, was wiederum eine Folge davon ist, dass eine OFET Elektrode die jeweils andere bis auf eine Seite oder Stelle umschließt und abschirmt. Zum Beispiel liegt in Figur 2a) die Elektrode 5 auf Erdung und Elektrode 1 auf Versorgungsspannung, zwei unmittelbar benachbarte, (in der Figur übereinanderliegende) Inverter berühren sich dann nur mit Elektroden, die auf gleichem Potential liegen (vgl auch Figur 5). 30 Zusätzlich werden Leckströme innerhalb eines Inverters oder Gatters durch Löcher in der Halbleiterschicht unterbunden. So

kann beispielsweise in Figur 2b) fast kein Leckstrom zwischen Ausgang 11 und der Elektrode 1 fließen.

Schaltungen sind gemäß der Erfindung wesentlich einfacher zu

5 entwerfen: die Inverter, bzw. die logischen Gatter können bausteinartig zusammengesetzt werden, ohne dass Abstände eingehalten werden müssen. Außerdem lassen sich die Kanalgeometrien (Kanal-Länge und -Breite) leicht skalieren ohne die äußere Form der OFETs zu ändern. Schließlich ist der Platzbedarf der Schaltung geringer, deshalb kann die gesamte zur Verfügung stehende Fläche vorteilhaft genutzt werden.

10 Schließlich wird durch Zusammenlegung von Durchkontakten deren Zahl reduziert (vgl. Figur 5).

15 Im folgenden wird die Erfindung noch anhand einzelner Ausführungsformen näher erläutert:

Figur 1 zeigt zwei Layouts für einen OFET.

20 Figur 2 zeigt zwei Layouts für einen Inverter.

Figur 3 zeigt ein Layout für ein 2-fach NOR-Gatter.

25 Figur 4 zeigt ein Layout für ein 2-fach NAND-Gatter und

Figur 5 zeigt ein Layout für einen 5-stufigen Ringoszillat

Figur 1 zeigt einen OFET mit einer ersten Elektrode 1 (Source oder Drain) und einer zweiten Elektrode 2 (Drain oder Source), wobei die erste Elektrode 1 die zweite Elektrode 2 bis auf eine Seite oder an drei von vier Seiten umschließt. Übrig bleibt nur die Anschlussseite 4 des OFETS, an der die erste Elektrode 1 die zweite Elektrode 2 nicht umgibt.

35 Figur 1a) zeigt die einfachste Ausführung, in der ein U-förmiger Stromkanal (OFET-Kanal 3) gebildet wird und

Figur 1b) zeigt eine etwas elaboriertere Ausführungsform bei der ein mäanderförmiger OFET-Kanal 3 gebildet wird.

Figur 2 zeigt zwei Layouts für einen Inverter:

5

Es gibt prinzipiell zwei Möglichkeiten einen Inverter zu verschalten, diese unterscheiden sich durch die Art des Anschlusses der Gate-Elektroden des load-OFETs. Beide Varianten lassen sich sinnvoll in Schaltungen verwenden. Die in Figur 2 10 gezeigten Layouts sind Ausführungsformen der Erfindung gemäß dieser beiden Varianten.

Figur 2a) zeigt einen Inverter mit load-OFET auf Ausgang: Der Inverter umfasst zwei OFETs, den Lade-OFET (load-OFET) und 15 den Steuerungs-OFET (drive-OFET). Die Source-Elektrode 1 des load-OFETs umschließt die Drain-Elektrode 2 des load-OFETs an drei Seiten, es entsteht ein OFET-Kanal 3, den die Gate-Elektrode 13 des load-OFETs bedeckt, wobei auch noch ein Teil 20 der Source-Elektrode 1 und der Drain-Elektrode 2 des load-OFETs mitbedeckt werden. Außerdem ist die Gate-Elektrode 13 über den Durchkontakt 10 sowohl mit der Source Elektrode 2, dem Ausgang 11 und der Source Elektrode 7 des drive-OFETs verbunden. Die Gate-Elektrode 8 des drive-OFETs bedeckt den Kanal 6 des Drive-OFETs und ist mit dem Eingang 12 verbunden. 25 Drain-Elektrode 5 des drive-OFETs umschließt Source-Elektrode 7 und definiert so den Kanal 6. Die Löcher oder Unterbrechungen 9 in der Halbleiterschicht befinden sich zwischen load und drive OFET und verhindern Leckströme. Die Versorgungsspannung wird an Elektrode 1 angelegt, Elektrode 5 liegt auf Erdung. Diese beiden Elektroden umschließen fast den gesamten 30 Inverter und schirmen ihn dadurch von anderen Bauelementen ab. Beim Umschalten des Inverters ändert sich nur das Potential von Elektrode 2 oder 7, die miteinander verbunden sind und sich im Inneren des Inverters befinden.

35

Die elektrische Verbindung, die, je nach Schaltung, zwischen der Gate-Elektrode 13 und der Drain-Elektrode 2 des load-

OFETs nötig ist, wird über einen Durchkontakt 10 realisiert, der zusätzlich an den Ausgang 11 angeschlossen ist.

Das in Figur 2b) gezeigte Beispiel eines Inverters hat den  
5 load-OFET Gate auf Versorgungsspannung. Der Aufbau ist analog  
zu dem aus Figur 2a). Im Unterschied zu 2a) ist die Gate-  
Elektrode 13 hier mit der Source-Elektrode 1 durch den Durch-  
kontakt 10a verbunden und nicht wie in 2a) mit dem Durchkon-  
takt 10a zum Ausgang 11. Der Durchkontakt 10b ist langge-  
10 streckt bis an den Rand von Elektrode 1, was den Vorteil hat,  
dass nebeneinander liegende Inverter den Durchkontakt gemein-  
sam nutzen können.

Ist für die Schaltung eine elektrische Verbindung zwischen  
15 der Gate Elektrode 13 und der Source Elektrode 1 eines OFETs  
nötig, so ist der Durchkontakt vorzugsweise so geformt, dass  
er bis zu den Seiten des OFETs reicht. Dadurch haben mehrere  
hintereinandergeschaltete Inverter, NAND- oder NOR-Gatter ei-  
nen gemeinsamen Durchkontakt.

20 In Figur 3 wird ein Layout für ein 2-fach NOR-Gatter gezeigt:  
Das Layout entspricht im wesentlichen dem des Inverters aus  
Figur 2b) mit dem Unterschied, dass zwei drive-OFETs parallel  
geschaltet sind. Der zweite drive-OFET umfasst die Source-  
25 Elektrode 14 und hat eine gemeinsame Drain Elektrode 5 mit  
dem ersten drive-OFET. Die Gate-Elektrode 15 des drive-OFETs  
ist mit dem zweiten Eingang 12b des NOR-Gatters verbunden.  
Das gesamte NOR-Gatter wird durch die beiden Elektroden 1 und  
30 5 abgeschirmt, die auf Versorgungsspannung bzw. Erdung lie-  
gen.

In Figur 4 wird ein zweifach NAND-Gatter gezeigt.  
Das NAND-Layout entspricht ebenfalls im wesentlichen dem In-  
verter aus Figur 2b) mit dem Unterschied, dass zwei drive-  
35 OFETs in Reihe geschaltet sind. Der zweite drive-OFET wird  
vom ersten an drei Seiten umschlossen. Source-Elektrode 7 vom  
ersten drive-OFET ist gleichzeitig die Drain-Elektrode des

zweiten drive-OFETs. Die Source-Elektrode 14 bestimmt den Kanal 16 des zweiten drive-OFETs und wird von der Gate-Elektrode 15 abgedeckt, welche mit dem zweiten Eingang 12a verbunden ist. Auch bei diesem Layout ergibt sich eine Abschirmung durch Elektrode 1 und 5.

Figur 5 schließlich zeigt einen 5-stufigen Ringoszillator, der fünf Inverter, die gemäß der Figur 2b aufgebaut sind, umfasst. Die Inverter sind so angeordnet, dass in der Mitte ein gemeinsamer Durchkontakt 10 (10b) für alle Inverter genutzt werden kann. Außerdem sind die Inverter direkt aneinanderstoßend angeordnet, was durch das Layout gemäß der Erfindung erst möglich ist. An den Enden werden die Inverter durch die Verbindungsleitungen 17 verbunden, auch werden die Löcher bzw. Unterbrechungen im Halbleiter 9 zwischen den Verbindungsleitungen fortgesetzt um Leckströme zu verhindern. Der Ausgang 11 des Ringoszillators zweigt an einer Verbindungsleitung 17 ab.

In Figur 5 ist eindrucksvoll gezeigt, wie effizient Schaltungslayouts mit Hilfe der Erfindung entstehen. Insbesondere werden hier Leitungen durch direkten Kontakt ersetzt, was z.B. zu höherer Schaltgeschwindigkeit führt.

Die Erfindung betrifft einen organischen Feldeffekt Transistor (OFET) und/oder einen integrierten Schaltkreis auf organischer Basis mit hoher Schaltfrequenz. Durch die Zusammenlegung der beiden Enden des Stromkanals ergeben sich kompakte und schnelle Schaltungs-Layouts.

## Patentansprüche

1. Organischer Feldeffekttransistor (OFET), zumindest eine erste Elektrodenschicht mit Source- und Drain-Elektroden, eine halbleitende Schicht, eine Isolatorschicht und eine zweite Elektrodenschicht umfassend, bei dem in der ersten Elektrodenschicht eine der Elektroden, Source oder Drain die jeweils andere bis auf eine Seite oder Stelle, die Anschlussseite oder -stelle dieser Elektrode, 2-dimensional umschließt, so dass ein Stromkanal in der halbleitenden Schicht ausbildbar ist, der an einer Seite einer Elektrode der ersten Elektrodenschicht beginnt und endet.
2. OFET nach Anspruch 1, bei dem eine der ersten Elektroden die andere jeweils an drei von vier Seiten begrenzt.
3. OFET nach einem der vorstehenden Ansprüche 1 oder 2, bei dem die zweite Elektrodenschicht den Stromkanal ganz überdeckt und zumindest zusätzlich noch einen Teil einer der ersten Elektroden, wobei dieser noch zusätzlich überdeckte Teil in der Breite im Bereich von 0 bis 20µm und in der Länge im Bereich der Länge des Stromkanals liegt.
4. OFET nach einem der vorstehenden Ansprüche, wobei Löcher und/oder Unterbrechungen in der Halbleiterschicht vorhanden sind, um Leckströme zu verringern.
5. Integrierte Schaltung mit zumindest zwei OFETs nach einem der vorstehenden Ansprüche, wobei die OFETs im NAND oder NOR-Gatter so angeordnet sind, dass sich jeweils die Anschlussseiten oder -stellen gegenüberliegen.
6. Integrierte Schaltung nach Anspruch 5, wobei sich die Verbindungsleitungen und/oder die Ein- und Ausgänge jeweils im Bereich zwischen den Anschlussseiten oder -stellen befinden.

10

7. Integrierte Schaltung nach einem der Ansprüche 5 oder 6, wobei Löcher und/oder Unterbrechungen in der Halbleiter-schicht vorgesehen sind.
- 5 8. Integrierte Schaltung nach Anspruch 7, wobei die Löcher und/oder Unterbrechungen sich zwischen den Anschlussseiten oder -stellen befinden.
- 10 9. Integrierte Schaltung nach einem der Ansprüche 5 bis 8, wobei anstelle zumindest einer elektrischen Verbindung ein Durchkontakt eingesetzt wird.
10. Integrierte Schaltung nach Anspruch 9, wobei der Durch-kontakt zumindest bis zu einer Seite des OFETs reicht (10b).

15

**ANY REFERENCE TO FIGURE 1A +1B SHALL BE CONSIDERED NON-EXISTENT**

**ALLE BEZÜGE ZUR FIGUR 1A +1B WERDEN ALS UNGÜLTIG BETRACHTET**

1/4

FIG 1

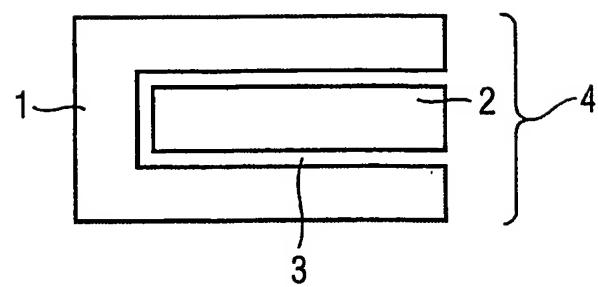
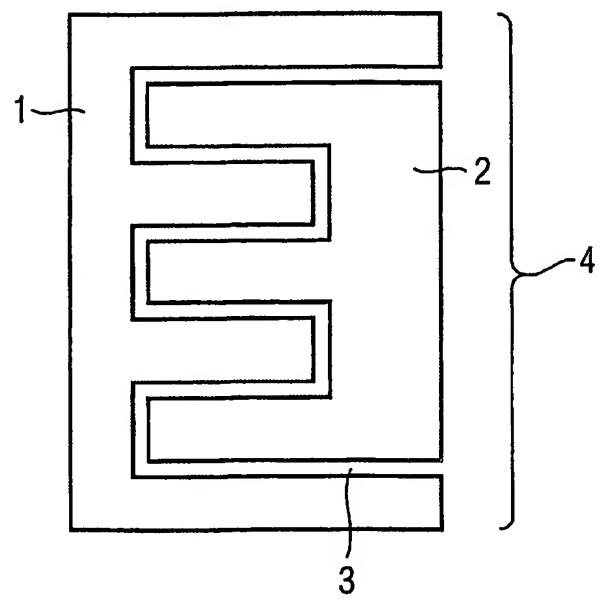


FIG 2



2/4

FIG 2A

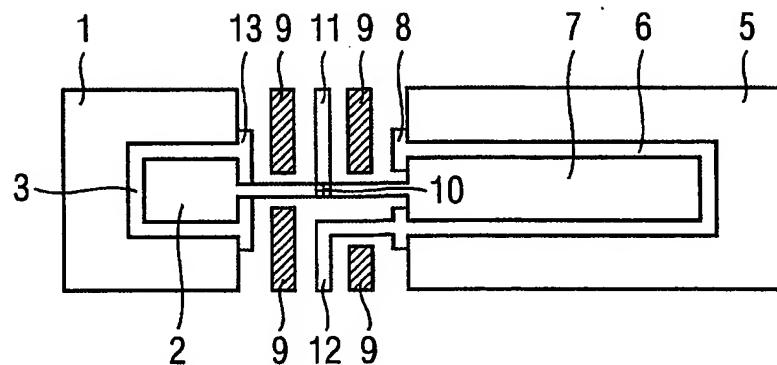
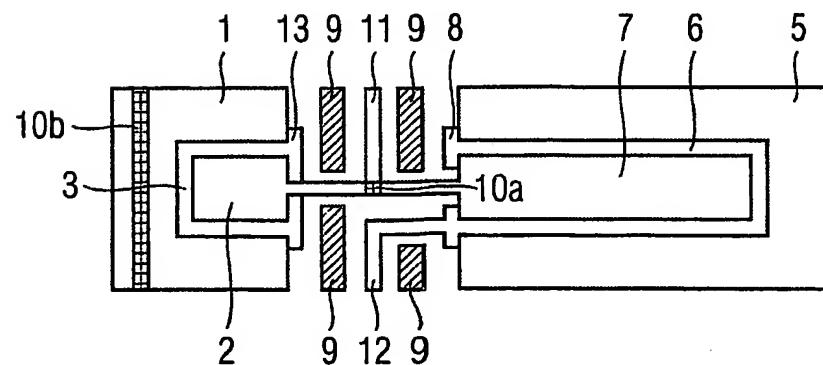


FIG 2B



3/4

FIG 3

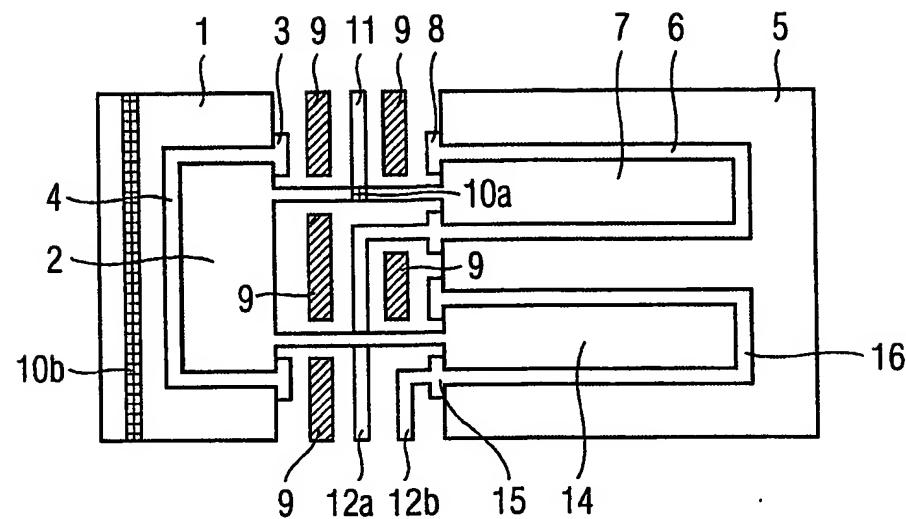
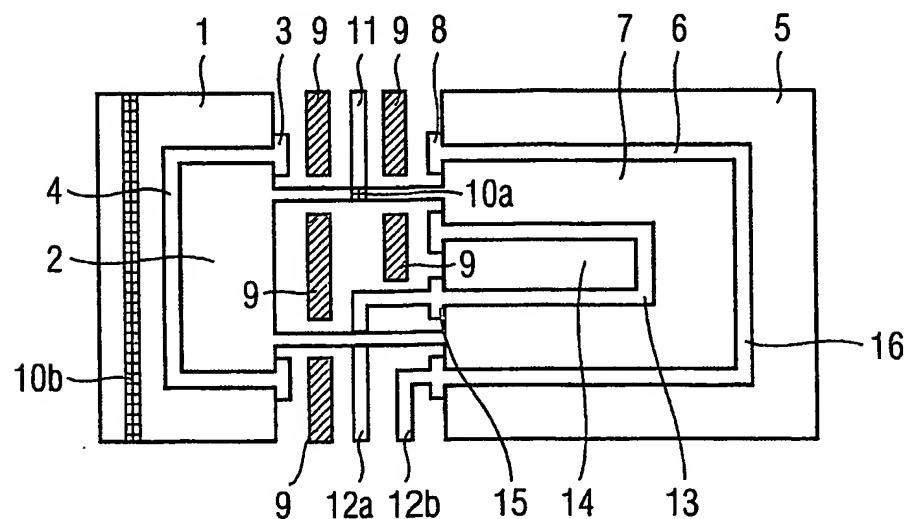


FIG 4



10/54195,

WO 2004/068608

PCT/DE2003/004036

4/4

FIG 5

